

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022724

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H04L 12/42
G06F 15/16
H04L 12/28
H04L 12/56
H04Q 3/00

(21)Application number : 10-185779

(71)Applicant : NEC CORP

(22)Date of filing : 01.07.1998

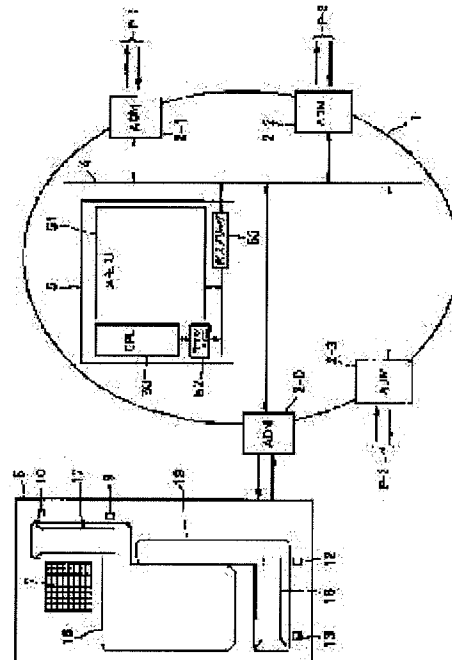
(72)Inventor : HARASAWA AKIO
KAGANOI HARUHIRO

(54) PACKET SWITCH SYSTEM, INTEGRATED CIRCUIT INCLUDING IT, PACKET SWITCH CONTROL METHOD AND STORAGE MEDIUM FOR PACKET SWITCH CONTROL PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the rate of operation and to simplify bus control.

SOLUTION: The system is provided with a packet data exclusive ring form bus 1 in addition to a control bus 4, and the operation of storing packet data received by any of ports P-1 to P-3 to a memory section 6 and control of interpreting contents of stored data and outputting the result to any of the ports P-1 to P-3 are conducted by using a token. In this case, a sufficient band of the data is taken so that a data system of writing/reading data to/from the memory section and a control system that interprets contents of the data do not provide adverse effect mutually. Thus, since the unidirectional bus 1 of the ring form pipeline system is employed, the bus control is simplified in comparison with a general tri-state logic but or a cross point switch and the operating rate is easily increased.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22724

(P2000-22724A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 4 L 12/42		H 0 4 L 11/00	3 3 0 5 B 0 4 5
G 0 6 F 15/16		H 0 4 Q 3/00	5 K 0 3 0
H 0 4 L 12/28		G 0 6 F 15/16	4 0 0 Z 5 K 0 3 1
12/56		H 0 4 L 11/20	D
H 0 4 Q 3/00			H

審査請求 有 請求項の数32 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願平10-185779

(22) 出願日 平成10年7月1日 (1998.7.1)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 原澤 昭夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 加賀野井 晴大

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

最終頁に続く

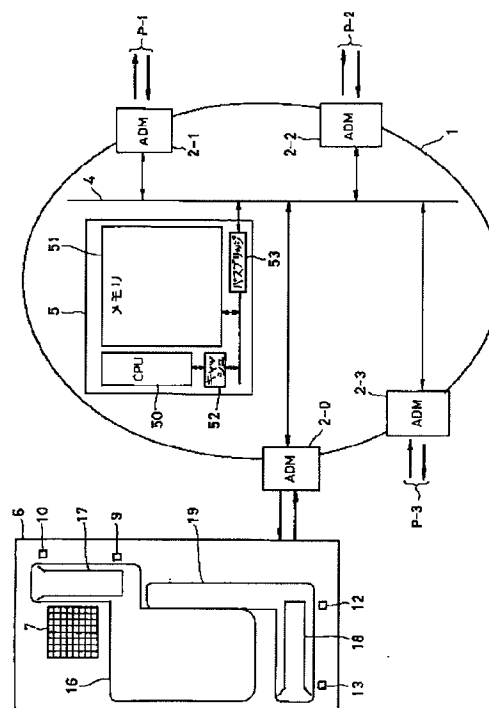
(54) 【発明の名称】 パケットスイッチシステム、これを含む集積回路、パケットスイッチ制御方法、パケットスイッチ制御プログラム記録媒体

(57) 【要約】

【課題】 動作レートを高速化し、かつ、バスの制御を簡単にする。

【解決手段】 制御用バス4とは別にパケットデータ専用のリング形状バス1を設け、いずれかのポートP-1～P-3に入力されたパケットデータをメモリ部6に格納する動作と、その格納されているデータの内容を解釈していずれかのポートP-1～P-3に出力する制御とをトークンを用いて行う。このとき、メモリ部への書込み及び読出しを行うデータ系とデータの内容を解釈する制御系とが互いに悪影響を及ぼすことないように、データの帯域を十分に取る。

【効果】 一方通行でリング形状のパイプライン方式のバス1を用いているので、一般的な3値論理バスやクロスポイント型のスイッチに比べ、バスの制御が簡単で、かつ、動作レートを容易に高速化できる。



【特許請求の範囲】

【請求項1】 パケットデータの送受信を行う複数の挿
抜モジュールと、前記複数の挿抜モジュールとこれら挿
抜モジュールを制御するための制御回路とを接続する制
御用バスとを含むパケットスイッチシステムであって、
前記制御用バスとは別に設けられ前記複数の挿抜モジ
ュールが夫々接続されこれら挿抜モジュールにおいて授受
されるパケットデータを伝達するためのパケットデータ
バスと、前記授受すべきパケットデータを前記パケット
データバスを介して一時格納するメモリとを含み、前記
複数の挿抜モジュールは前記パケットデータバス及び前
記メモリを介してパケットデータの授受を行うようにし
たことを特徴とするパケットスイッチシステム。

【請求項2】 前記パケットデータバスは、一方通行の
リングバスであることを特徴とする請求項1記載のパケ
ットスイッチシステム。

【請求項3】 前記パケットデータバスは前記複数の挿
抜モジュールのいずれかによって獲得されるトークンが
流れるトークンリングバスであり、前記トークンを獲得
した挿抜モジュールは、前記授受すべきパケットデータ
を格納するための領域を前記メモリに確保する領域確保
動作及びこの確保した領域へ前記パケットデータを格納
する格納動作並びにこの格納したパケットデータを出力
する出力動作のうちのいずれかの動作を行うことを特徴
とする請求項1又は2記載のパケットスイッチシステ
ム。

【請求項4】 前記複数の挿抜モジュールは前記パケッ
トデータバスに対するアクセス権の優先順位が巡回する
ように調停され、アクセス権を得た挿抜モジュールは、
前記授受すべきパケットデータを格納するための領域を
前記メモリに確保する領域確保動作及びこの確保した領
域へ前記パケットデータを格納する格納動作並びにこの
格納したパケットデータを出力する出力動作のうちのい
ずれかの動作を行うことを特徴とする請求項1又は2記
載のパケットスイッチシステム。

【請求項5】 前記メモリは固定長のセルを複数有し、
前記パケットデータをこれら複数のセルに分割して格納
することを特徴とする請求項1～4のいずれかに記載の
パケットスイッチシステム。

【請求項6】 前記メモリは、前記複数の挿抜モジュー
ルのうちの1つを介して前記パケットデータバスに接続
されていることを特徴とする請求項1～5のいずれかに
記載のパケットスイッチシステム。

【請求項7】 前記固定長は、ATMセルのペイロード
サイズと略同一の長さであることを特徴とする請求項5
又は6記載のパケットスイッチシステム。

【請求項8】 前記複数のセルはリンクドリスト構造を
有し、前記複数のセルに分割して格納された前記パケッ
トデータが該構造によって結合されることを特徴とする
請求項5～7のいずれかに記載のパケットスイッチシス

テム。

【請求項9】 前記複数のセルはリンクドリスト構造を
有し、前記複数のセルのうち有効なデータが格納されて
いない空きセルが該構造によって結合されることを特徴
とする請求項5～7のいずれかに記載のパケットスイッ
チシステム。

【請求項10】 前記複数のセルに分割して格納された
前記複数のパケットデータの各先頭部分が夫々格納され
た各セルを夫々指す複数のポインタを格納するポインタ
格納手段を更に含むことを特徴とする請求項5～9のい
ずれかに記載のパケットスイッチシステム。

【請求項11】 前記ポインタ格納手段に格納された複
数のポインタはリンクドリスト構造を有することを特徴
とする請求項10記載のパケットスイッチシステム。

【請求項12】 請求項1～11のいずれかに記載のパ
ケットスイッチシステムが1チップに集積化されてなる
ことを特徴とする集積回路。

【請求項13】 請求項1～11のいずれかに記載のパ
ケットスイッチシステムが1チップに集積化されてな
り、このシステムに含まれているパケットデータバスは
他のパケットスイッチシステムに含まれているパケット
データバスと接続され、この接続されたパケットデー
タバスを介することによって前記他のパケットスイッ
チシステムとの間で前記パケットデータを授受するよう
にしたことを特徴とする集積回路。

【請求項14】 前記挿抜モジュールによって前記パケ
ットデータバス同士が相互に接続されていることを特徴
とする請求項13記載の集積回路。

【請求項15】 パケットデータの送受信を行う複数の
挿抜モジュールと、前記複数の挿抜モジュールとこれら
挿抜モジュールを制御するための制御回路とを接続する
制御用バスと、前記制御用バスとは別に設けられ前記複
数の挿抜モジュールが夫々接続されこれら挿抜モジュー
ルにおいて授受されるパケットデータを伝達するための
パケットデータバスと、前記授受すべきパケットデータ
を前記パケットデータバスを介して一時格納するメモリ
とを含み、前記複数の挿抜モジュールは前記パケットデ
ータバス及び前記メモリを介してパケットデータの授受
を行うようにしたパケットスイッチシステムにおけるパ
ケットスイッチ制御方法であって、前記授受すべきパケ
ットデータを格納するための領域を前記メモリに確保す
る領域確保ステップと、この確保した領域へ前記パケッ
トデータを格納する格納ステップと、この格納したパケ
ットデータを出力する出力ステップとを含むことを特徴
とするパケットスイッチ制御方法。

【請求項16】 前記出力ステップにおいては、前記格
納したパケットデータから該パケットデータの送信先を
抽出し、この抽出された送信先に該パケットデータを送
信することを特徴とする請求項15記載のパケットスイ
ッチ制御方法。

【請求項 17】 前記パケットデータベースは前記複数の挿抜モジュールのいずれかによって獲得されるトークンが流れるトークンリングバスであり、前記トークンを獲得した挿抜モジュールは前記領域確保ステップ及び前記格納ステップ並びに前記出力ステップのうちの少なくとも 1 ステップを行うことを特徴とする請求項 15 又は 16 記載のパケットスイッチ制御方法。

【請求項 18】 前記複数の挿抜モジュールは前記パケットデータベースに対するアクセス権の優先順位が巡回するように調停され、アクセス権を得た挿抜モジュールは前記領域確保ステップ及び前記格納ステップ並びに前記出力ステップのうちの少なくとも 1 ステップを行うことを特徴とする請求項 15 又は 16 記載のパケットスイッチ制御方法。

【請求項 19】 前記メモリは固定長のセルを複数有し、前記パケットデータをこれら複数のセルに分割して格納することを特徴とする請求項 15～18 のいずれかに記載のパケットスイッチ制御方法。

【請求項 20】 前記メモリは、前記複数の挿抜モジュールのうちの 1 つを介して前記パケットデータベースに接続されていることを特徴とする請求項 15～19 のいずれかに記載のパケットスイッチ制御方法。

【請求項 21】 前記固定長は、ATMセルのペイロードサイズと略同一の長さであることを特徴とする請求項 19 又は 20 記載のパケットスイッチ制御方法。

【請求項 22】 前記複数のセルはリンクドリスト構造を有し、前記複数のセルに分割して格納された前記パケットデータが該構造によって結合されることを特徴とする請求項 19～21 のいずれかに記載のパケットスイッチ制御方法。

【請求項 23】 前記複数のセルはリンクドリスト構造を有し、前記複数のセルのうち有効なデータが格納されていない空きセルが該構造によって結合されることを特徴とする請求項 19～21 のいずれかに記載のパケットスイッチ制御方法。

【請求項 24】 パケットデータの送受信を行う複数の挿抜モジュールと、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とを接続する制御用バスと、前記制御用バスとは別に設けられ前記複数の挿抜モジュールが夫々接続されこれら挿抜モジュールにおいて授受されるパケットデータを伝達するためのパケットデータベースと、前記授受すべきパケットデータを前記パケットデータベースを介して一時格納するメモリとを含み、前記複数の挿抜モジュールは前記パケットデータベース及び前記メモリを介してパケットデータの授受を行うようにしたパケットスイッチシステムにおけるパケットスイッチ制御プログラムを記録した記録媒体であって、前記制御プログラムはコンピュータに、前記授受すべきパケットデータを格納するための領域を前記メモリに確保する領域確保ステップと、この確保した領域へ

前記パケットデータを格納する格納ステップと、この格納したパケットデータを出力する出力ステップとを実行させることを特徴とする記録媒体。

【請求項 25】 前記パケットデータベースは、一方通行のリングバスであることを特徴とする請求項 24 記載の記録媒体。

【請求項 26】 前記パケットデータベースは前記複数の挿抜モジュールのいずれかによって獲得されるトークンが流れるトークンリングバスであり、前記トークンを獲得した挿抜モジュールは前記領域確保ステップ及び前記格納ステップ並びに前記出力ステップのうちの少なくとも 1 ステップを実行することを特徴とする請求項 24 又は 25 記載の記録媒体。

【請求項 27】 前記複数の挿抜モジュールは前記パケットデータベースに対するアクセス権の優先順位が巡回するように調停され、アクセス権を得た挿抜モジュールは前記領域確保ステップ及び前記格納ステップ並びに前記出力ステップのうちの少なくとも 1 ステップを実行することを特徴とする請求項 24 又は 25 記載の記録媒体。

【請求項 28】 前記メモリは固定長のセルを複数有し、前記パケットデータをこれら複数のセルに分割して格納することを特徴とする請求項 24～27 のいずれかに記載の記録媒体。

【請求項 29】 前記メモリは、前記複数の挿抜モジュールのうちの 1 つを介して前記パケットデータベースに接続されていることを特徴とする請求項 24～28 のいずれかに記載の記録媒体。

【請求項 30】 前記固定長は、ATMセルのペイロードサイズと略同一の長さであることを特徴とする請求項 28 又は 29 記載の記録媒体。

【請求項 31】 前記複数のセルはリンクドリスト構造を有し、前記複数のセルに分割して格納された前記パケットデータが該構造によって結合されることを特徴とする請求項 28～30 のいずれかに記載の記録媒体。

【請求項 32】 前記複数のセルはリンクドリスト構造を有し、前記複数のセルのうち有効なデータが格納されていない空きセルが該構造によって結合されることを特徴とする請求項 28～30 のいずれかに記載の記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパケットスイッチシステム、これを含む集積回路、パケットスイッチ制御方法、パケットスイッチ制御プログラム記録媒体に関し、特にルータに代表されるようなパケットスイッチシステムを実現する際の内部のバス構造及びバス制御に関する。

【0002】

【従来の技術】従来、スイッチングされるパケットデータそのものが通過する経路（バス）と、スイッチング

(ルーティング)を遂行するために必要となる制御系の情報のための経路(バス)とを、共通のバスで実現する場合とそうでない場合とがあった。すなわち、比較的性能要求値が低い系においては共通のバスをこれら二つの用途に共用し、比較的性能要求値が高い系においては各々専用のバスが設けられ、これら二つの用途のトラヒックが相互に悪影響を及ぼさないように考慮されていた。

【0003】具体的には、制御用バスとしては3値論理素子(3ステートバッファ)を用いた一般的なバス(以下、3値論理バスと呼ぶ)がある。パケットデータバスとしては3値論理素子を用いた一般的なバス又はクロスポイント型スイッチといった例がある。

【0004】

【発明が解決しようとする課題】上述したパケットデータ専用バスの従来例には以下のような欠点があった。すなわち、前者の例では、3値論理バスは高速化の限界が低いこと、あるいはバス制御が複雑であり、バス制御のための手続きや制御部のオーバーヘッド部分が大きくなってしまふこと、といった問題があった。

【0005】後者の例では、クロスポイントスイッチを構成するために要する回路規模が大きくなること、あるいはクロスポイント型スイッチの制御部に求められる機能や制御の精度を満たす上で実現上の難易度が高い、といった問題があった。

【0006】性能やコストの点でボトルネックに触れることなく、1種類又はなるべく少ない種類の基本部品を組合わせて配置・接続することによって、「大小」任意の規模、「高低」任意の性能に拡張できる(いわゆるスケラブルな)スイッチシステムであることは、「良いスイッチ」の条件として重要なポイントとされている。

【0007】共有バッファ型のスイッチ構造を用いて可変長パケットスイッチを実現する場合、共有メモリ上の未使用領域の管理あるいは格納されたパケットの管理は一般にはソフトウェアによって実現されていた。ソフトウェア処理であるがゆえにこの機能自体の性能も高くできないし、プロセッサ上の他の処理にも悪影響があった。

【0008】ATM(Asynchronous Transfer Mode)網とIP(Internet Protocol)網との接点に位置し両網間のインタワーキングを遂行するスイッチングノード、あるいは、ATM網中にありながらそのスイッチングデシジョンはIP網流のルールでコネクションレススイッチングを遂行するスイッチングノード等も知られている。この種のスイッチングノードに適するメモリ内データ構造やメモリ制御方式への需要が高い。

【0009】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は動作レートを容易に高速化でき、バスの制御が簡単なパケットスイッチシステム、これを含む集積回路、パケットスイッチ制

御方法、パケットスイッチ制御プログラム記録媒体を提供することである。

【0010】

【課題を解決するための手段】本発明によるパケットスイッチシステムは、パケットデータの送受信を行う複数の挿抜モジュールと、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とを接続する制御用バスとを含むパケットスイッチシステムであって、前記制御用バスとは別に設けられ前記複数の挿抜モジュールが夫々接続されこれら挿抜モジュールにおいて授受されるパケットデータを伝達するためのパケットデータバスと、前記授受すべきパケットデータを前記パケットデータバスを介して一時格納するメモリとを含み、前記複数の挿抜モジュールは前記パケットデータバス及び前記メモリを介してパケットデータの授受を行うようにしたことを特徴とする。

【0011】本発明による集積回路は、上記パケットスイッチシステムが1チップに集積化されてなり、このシステムに含まれているパケットデータバスは他のパケットスイッチシステムに含まれているパケットデータバスと接続され、この接続されたパケットデータバスを介することによって前記他のパケットスイッチシステムとの間で前記パケットデータを授受するようにしたことを特徴とする。

【0012】本発明によるパケットスイッチ制御方法は、パケットデータの送受信を行う複数の挿抜モジュールと、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とを接続する制御用バスと、前記制御用バスとは別に設けられ前記複数の挿抜モジュールが夫々接続されこれら挿抜モジュールにおいて授受されるパケットデータを伝達するためのパケットデータバスと、前記授受すべきパケットデータを前記パケットデータバスを介して一時格納するメモリとを含み、前記複数の挿抜モジュールは前記パケットデータバス及び前記メモリを介してパケットデータの授受を行うようにしたパケットスイッチシステムにおけるパケットスイッチ制御方法であって、前記授受すべきパケットデータを格納するための領域を前記メモリに確保する領域確保ステップと、この確保した領域へ前記パケットデータを格納する格納ステップと、この格納したパケットデータを出力する出力ステップとを含むことを特徴とする。

【0013】本発明による記録媒体は、パケットデータの送受信を行う複数の挿抜モジュールと、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とを接続する制御用バスと、前記制御用バスとは別に設けられ前記複数の挿抜モジュールが夫々接続されこれら挿抜モジュールにおいて授受されるパケットデータを伝達するためのパケットデータバスと、前記授受すべきパケットデータを前記パケットデータバスを介して一時格納するメモリとを含み、前記複数の挿抜モジュ

ールは前記パケットデータバス及び前記メモリを介してパケットデータの授受を行うようにしたパケットスイッチシステムにおけるパケットスイッチ制御プログラムを記録した記録媒体であって、前記制御プログラムはコンピュータに、前記授受すべきパケットデータを格納するための領域を前記メモリに確保する領域確保ステップと、この確保した領域へ前記パケットデータを格納する格納ステップと、この格納したパケットデータを出力する出力ステップとを実行させることを特徴とする。

【0014】なお、前記メモリは固定長のセルを複数有し、前記パケットデータをこれら複数のセルに分割して格納する。また、前記メモリは、前記複数の挿抜モジュールのうちの1つを介して前記パケットデータバスに接続されている。前記複数のセルはリンクドリスト構造を有し、前記複数のセルに分割して格納された前記パケットデータが該構造によって結合され、前記複数のセルのうち有効なデータが格納されていない空きセルが該構造によって結合される。

【0015】本発明によるパケットスイッチシステムの特徴は、以下の通りである。すなわち、制御用のバスとは別に、パケットデータ専用の内部バスとしてリング構造の超高速バスを設け、ポートインタフェース部が挿抜モジュール(Add Drop Module:ADM)を介してパケットデータをリングバスとの間で受け渡しする構造としていることである。また、共有パケットメモリもリングバスの一つのメンバーとして置いていることも本システムの特徴である。

【0016】さらに、共有パケットメモリの内部データ構造として、セルと呼ぶ固定長のメモリ領域をパケットデータ格納の最小単位とし、このセルを指すポインタと、次のセルを指すポインタ構造体を指すポインタとからなるセルポインタ構造体をリンクドリスト構造で連結してパケットを表現している。その一方で、未使用のセルに対応するセルポインタは空きセルキューを形成する。また、上述したパケットを指すポインタと、自分と同種類のポインタ構造体を指すポインタとからなるパケットポインタ構造体により、空きパケットキューとパケットとの管理を行う。ここまでのメモリ管理/ポインタ管理は、ハードウェアが自律的に行うこととし、これより上のレベル(例えば、ポート毎/優先クラス毎の等)のパケットキューイングは中央演算装置(CPU; Central Processing Unit)によるソフトウェア処理としている。

【0017】なお、比較的小さい規模/比較的低い性能を有する単位スイッチであっても、相互に連結することにより、その規模や性能を拡張することを可能とする連結拡張用のポートを設けていることも特徴である。

【0018】要するに本発明では、シングルチップ上に、CPU、ポートインタフェース、パケットメモリ制御インタフェース等を集積化したパケットスイッチシ

テム(ルータ)を構成するのに適するアーキテクチャを提供しているのである。

【0019】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。以下の説明において参照する各図では、他の図と同等部分は同一符号が付されている。

【0020】図1は本発明によるパケットスイッチシステムの実施の一形態を示すブロック図である。本実施形態のパケットスイッチシステムでは、任意数のポートP-1~P-N(本例ではN=3)のポートインタフェースに対応した挿抜モジュール(Add Drop Module;以下、ADM)2-1~2-N(本例ではN=3)及びパケットストアメモリ部6に対応したADM2-0を、リングバス1上にパイプライン状に接続し配置している。同時に、ADM2-0~2-3は制御用バス4を介して中央制御部5にも接続され、この中央制御部5によって後述するように制御される。

【0021】ここで、中央制御部5は、中央演算ユニット(CPU)50と、メモリ51と、キャッシュメモリ(Cache)52と、バスブリッジ53とを含んで構成されている。そして、中央制御部5は、いわゆるソフトウェアの手法を用いて定義されたデータ構造と処理アルゴリズムとによって後述する制御機能を実現することができる。

【0022】また、ADM2-0にはパケットストアメモリ部6が接続されている。このパケットストアメモリ部6内の共有パケットストアメモリ部7においては、固定長(例えば64バイト)を最小単位(セル)として取扱う。パケットストアメモリ部6には、共有パケットストアメモリ部7に記憶することのできるパケットを示す空きパケットキュー18と、共有パケットストアメモリ部7における空き状態のセルを示す空きセルキュー17とを含んで構成されている。なお、これら空きパケットキュー18にはパケットポインタ構造体が属し、空きセルキュー17には後述するセルポインタ構造体が属するものとする。

【0023】空きパケットキュー18の先頭位置はキュー先頭ポインタ12によって指され、その末尾位置はキュー末尾ポインタ13によって指される。そして、空きパケットキュー18は、先頭ポインタ12によって指されるパケットポインタ構造体から始まり、末尾ポインタ13によって指されるパケットポインタ構造体で終わるリンクドリストデータ構造になっているものとする。

【0024】パケットポインタ構造体のうち、実際に記憶されているパケットに対応するものは図中の論理領域19内に存在するものとする。そして、この論理領域19に対応して、記憶されているパケットデータを構成するメモリ部7の各エントリを指す論理パケット16が存在するものとする。つまり、論理領域19内に存在する

パケットポインタ構造体191は論理パケット16内のセルポインタ構造体群161を指し、このセルポインタ構造体群161を構成する各セルポインタ構造体はメモリ部7の対応するエントリを指すことになる。

【0025】また、空きセルキュー17の先頭位置は空きセルキュー先頭ポインタ9によって指され、その末尾位置は空きセルキュー末尾ポインタ10によって指される。そして、空きセルキュー17は、先頭ポインタ9によって指されるセルポインタ構造体から始まり、末尾ポインタ10によって指されるセルポインタ構造体で終わるリンクドリストデータ構造になっているものとする。

【0026】なお、これら各ポインタ9、10、12及び13はレジスタを用いて構成することができる。

【0027】ここで、図2をも参照して説明する。上述したように、パケットストアメモリ部6内の共有パケットストアメモリ部7においては、固定長のセルを記憶単位としている。そして、このセルの数と同数のセルポインタ構造体8を定義する。各セルポインタ構造体8は少なくともセルを指すポインタ8-1と、自らと同種の別のセルポインタ構造体を指すポインタ8-2とを要素として有する。そして、セルを指すポインタ8-1によって全てのセルと全てのセルポインタ構造体とが1対1の対応関係で結び付けられている。

【0028】また、空きセルキュー先頭ポインタ9によって指されるセルポインタ構造体から始まり、空きセルキュー末尾ポインタ10によって指されるセルポインタ構造体で終わるリンクドリストデータ構造がある。すなわち、この空きセルキュー17に属するセルポインタ構造体が指すセルは未使用の状態にある。この空きセルキューの先頭からセルポインタ構造体を順次必要数だけ取り出し、空きセルキューとは独立したリンクドリストデータ構造を構成しこれに対応する各々のセル上にここに収容可能なサイズに分割されたパケットデータを置くことにより、メモリ部7上にパケットをストアできることになる。

【0029】一方で、この系で取扱うパケットの最大数と同数のパケットポインタ構造体11と呼ばれるデータ構造体を設ける。パケットポインタ構造体は、少なくとも、上述したメモリ部7上に置かれるパケットの先頭に相当するセルポインタ構造体を指すポインタであるパケット先頭セルポインタ11-1と、自分と同形式のパケットポインタ構造体を指すポインタ11-2を含んでいる。

【0030】そして、空きセルキューと同様に、キュー先頭ポインタ12とキュー末尾ポインタ13とによって先頭/末尾が定義され、複数のパケットポインタ構造体がリンクドリスト構造で連結された空きパケットキュー18が形成される。パケットポインタ構造体がこの空きパケットキュー18に属するときには、パケットポインタ構造体の要素のうちパケットポインタは何も指してお

らず(Null; 図中では“n”と表示されている)、空きパケットキューからパケットポインタ構造体取出された時にはパケットポインタは特定のパケットの先頭のセルポインタを指している。

【0031】ところで、中央制御部5の内部には(例えばソフトウェアによって定義された)任意数の論理パケットキュー14があり、その内部はパケットキューポインタ構造体15を連結したリンクドリスト構造になっている。パケットキューポインタ構造体15は少なくとも、パケットポインタ構造体11を指すポインタ15-1と、自分と同形式のパケットキューポインタを指すポインタ15-2とからなる。

【0032】かかる構成からなる本システムの基本的な動作例について、図2から図13を順次参照して説明する。

【0033】まず図2において、中央制御部5がソフトウェアによって実現しているプロセス中に存在している論理パケットキュー14中にあるパケットキューポインタ構造体15から指される論理パケット16がパケットストアメモリ部6上に存在している。実際には、パケットキューポインタ構造体15はパケットポインタ構造体191を指し、このパケットポインタ構造体191がセルポインタ構造体群161を指している。そして、このセルポインタ構造体群161を構成する各セルポインタ構造体が、夫々対応するパケットの実体、すなわちメモリ部7の対応するエントリを指している。

【0034】なお論理パケットキュー14は、リングバス1上のADM2-1~2-3の夫々に対応して存在するものとする。つまり、3つの論理パケットキュー14を有し、各論理パケットキュー14は対応するADMが自ポートから送出したいパケットを、送出要求待ち状態で管理しているのである。さらに、送出要求に2段階の優先順位を設けておき、その優先順位毎に夫々論理パケットキュー14を用意しても良い。この場合には、3つのADM2-1~2-3に対応して夫々2段階の論理パケットキュー14を用意することとなり、論理パケットキュー14の個数は6となる。

【0035】次に、図3において、空きパケットキュー18の先頭ポインタ12の内容をトークンTの一部であるパケットポインタとしてコピーしADM2-0からリングバス1に送出する。それと同時に、空きパケットキュー先頭ポインタ12には、先程まで空きパケットキュー18の先頭に位置していたパケットポインタ構造体が指していた次のパケットポインタ構造体を指すポインタの値がコピーされる。これは、空きパケットキュー18の先頭に位置していたパケットポインタ構造体が空きパケットキュー18に属さなくなり、トークンT中のパケットポインタから指される一個の独立したパケットポインタ構造体192となり(矢印Y3)、パケットを受取るための待機状態にあることを意味する。

【0036】すなわちこの状態では、待機中のパケットポインタ構造体192はいずれのセルポインタ構造体も指しておらず、その内容は“Null”である。したがって、対応するセルポインタ構造体群162は存在しない。つまり、このトークンTがリングバス1に送出されて各ADMを巡回することによって、各ADMによるパケットの送出要求を受け付けることになる。

【0037】図4は、パケットポインタを含むトークンTが、到着パケットを持っていない1番ポートP-1に対応するADM2-1を通過していく様子を示している。同じく図5は、パケットポインタを含むトークンTが、到着パケットを持っていない2番ポートP-2に対応するADM2-2を通過していく様子を示している。いずれの場合も、トークンT中のパケットポインタはパケットポインタ構造体192を指したままである。

【0038】図6においては、到着パケットを保持していた3番ポートP-3に対応するADM2-3によってトークンTが獲得される。この後、図7に示されている状態においては、以下の(1)の動作と(2)の動作とが並行して行われる。

【0039】(1)3番ポートP-3に到着していたパケットPT2はトークンTから得たパケットポインタとともにADM2-3からリングバスに乗せられ、ADM2-0にてドロップされる(矢印Y70)。ADM2-0にパケットが到達すると、このパケットを格納すべく待機していたパケットポインタ構造体192のパケット先頭セルポインタには空きセルキュー先頭ポインタ9の値がコピーされる。

【0040】そして、到着したパケットを全て格納するために必要となるサイズに相当する個数のセルポインタ構造体が、空きセルキューの先頭にあるセルポインタ構造体に引き続いて空きセルキュー18から取出される

(矢印Y72)。この場合、セルポインタ構造体は1つ取出され、格納するのに足りなければまた1つ取出されるというように、到着したパケットを格納するために、空きセルキュー18から1つずつ順次取出されることになる。それゆえに、到着したパケットを全て格納するために必要となるサイズに相当する個数のセルポインタ構造体を全て取出し終えた状態では、空きセルキューから取出されたセルポインタ構造体のうち最後尾のものが指していた次のセルポインタ構造体へのポインタ値が空きセルキュー先頭ポインタの9の新しい値としてコピーされることになる(矢印Y71)。

【0041】(2)3番ポートP-3への到着パケットがパケットストアメモリに転送されたことを受けて、ADM2-3は中央制御部5に対して処理リクエストを送出する(矢印Y73)。この処理リクエストは、例えば割込みによって行う。

【0042】このリクエストをトリガとして、中央制御部5は3番ポートP-3に到着したパケットの情報を得

るために、制御バス4を経由してADM2-3にリードアクセスを行う。このリードアクセスによって、この共有パケットストアメモリ上に保持されるパケットへのポインタ、パケットの内容のうち必要なフィールド(代表的なのはパケットヘッダ)及びパケットのサイズ等が読取られる。

【0043】図8を参照すると、このパケットはパケットポインタ構造体192及びそれが指しているセルポインタ構造体群162として、パケットストアメモリ6の共有パケットストアメモリ部7に保持されている。その一方でパケットの識別及びルーティングのための処理が中央制御部5で行われる。すなわち、パケットのヘッダ部に含まれている「送信元アドレス」や「宛先アドレス」等の情報フィールドを抽出し、そのパケットをどう処理し、どこに転送すべきかを判断し決定する。このようにパケットの識別が行われる。

【0044】さらに識別されたパケットは、予めプログラムによって定義されたアルゴリズムに従って処理される。具体的には、パケットのデータ内容の書換えや定義テーブルを参照して所定の宛先ポートへの転送等、すなわちルーティング処理が行われる。

【0045】中央制御部5においては、これらパケット識別及びルーティング処理は、ソフトウェア又はファームウェアによって行われることになる。

【0046】図9を参照すると、中央制御部5によってこのパケットに対するルーティングディシジョンが下され、破線部分から実線部分に示されているように、中央制御部5の中に存在する論理パケットキュー14にパケットキューポインタ構造体15が追加される。つまり、論理パケットキュー14内のパケットキューポインタ構造体15の一方はパケットポインタ構造体191を指し、このパケットポインタ構造体191がセルポインタ構造体群161を指すことになる。またパケットキューポインタ構造体15の他方はパケットポインタ構造体192を指し、このパケットポインタ構造体192がセルポインタ構造体群162を指すことになる。

【0047】次に、図10を参照すると、中央制御部5の中に存在する、ある論理パケットキュー14から先頭のパケットキューポインタ構造体が取出される。そして、制御バス4を介して、ADM2-0に対して、パケットストアメモリ部6の共有パケットストアメモリ部7のどのパケットを、どのポートに出力するかを指示する。これが図中の矢印Y102で示されている。

【0048】この結果、論理パケットキュー14の先頭ポインタは、論理パケットキュー14に追加された(矢印Y101)パケットキューポインタ構造体15を新たに指すことになる。

【0049】図11を参照すると、上述した指示に従って、ADM2-0は指定されたパケットを共有パケットストアメモリ部6から取出している(矢印Y111)。

そして、ADM2-0はパケットPT1の先頭に出力ポートを指定するルーティングタグを付加してリングバス1に出力している(矢印Y112)。この時、使用済みのセルポインタ構造体及びパケットポインタ構造体は、夫々の空きキュー17、18の末尾に返却される。

【0050】図12を参照すると、出力ポートを2番ポートと定義されたパケットPT1がADM2-1を通過している(矢印Y121、矢印Y122)。続いて図13を参照すると、パケットPT1がADM2-2でドロップされ(矢印Y131)、ルーティングタグが取られる。そして、このパケットは、パケット2番ポートP-2に出力されている。

【0051】要するに本システムでは、大別すると3つの動作を行っている。すなわち、ポートに入力されるパケットを格納するための記憶領域の確保、この確保した領域へのパケットの格納、格納したパケットのポートへの出力、という3つの動作を行っているのである。そして、これら3つの動作のいずれかを、トークンを獲得したADMが行うのである。

【0052】図2から図13までを参照して説明したように、本システムでは、制御用のバスとは別にパケットデータ専用のリング形状バスを設けている。これにより、制御系とデータ系とが互いに悪影響を及ぼすことなくデータの帯域を十分に取ることができるという効果がある。

【0053】また本システムでは、パイプライン方式のバスを用いている。すなわち、一方通行でリング形状であり、入力をラッチしてリタイミングを行って出力するバスを用いている。このため、一般的な3値論理バスやクロスポイント型のスイッチに比べて以下のような効果がある。

【0054】すなわち、3値論理バスは動作レートの高速度化が困難であるのに対し、パイプライン方式のバスは動作レートを容易に高速化できるという特徴がある。また、クロスポイントスイッチでは回路規模がポート数の2乗に比例して増加するのに対し、パイプライン方式のバスは回路規模がポート数に対してリニアに増加する程度で済むという特徴がある。さらに、3値論理バス、クロスポイントスイッチともに制御が複雑になるのに対し、パイプライン方式のバスはバスの制御が簡単になるという特徴がある。そして、クロスポイントスイッチは高精度な設計が求められるのに対し、パイプライン方式のバスは設計に求められる精度が比較的低いという特徴がある。

【0055】特に本例のシステムは、共有メモリ方式でありながらメモリ管理の多くをハードウェアで行うため、処理の高速化に適するという特徴もある。すなわち本例では、パケットストアメモリ部6におけるパケット格納領域の確保は、ADM2-0の動作によって行われる。また、その確保したパケット格納領域に対するパケ

ットの書込みは、ADM2-3及びADM2-0の動作によって行われる。さらに、その書込まれたパケットの読出しは、ADM2-0の他、中央制御機構5の動作によって行われる。

【0056】つまり、パケットを書込むという動作はメモリに対して行うので、その動作が得意なハードウェアに担当させている。一方、メモリからパケットを読出して正しいポートに出力するにはパケットの内容を解釈する必要があるので、その処理が得意なソフトウェア又はファームウェアに担当させている。このように、ハードウェア、ソフトウェア又はファームウェアに、夫々得意な動作や処理を担当させているので、システム設計の最適化を図ることができ、システム全体として高速動作を実現できるのである。

【0057】ところで本例では、図14に示されているように、固定サイズ(例えば、64バイト)のセルを共有パケットストアメモリ部7の最小記憶単位としている。すなわち、図中のパケット140が固定サイズのセル14a~14hに分解され、各セルがメモリ部7に記憶される。このとき、セル14hには、有効なデータが存在しない空白部分(ハッチング部分)が存在している。なお、パケット140はヘッダ部140Hとペイロード部140Pとから構成されている。

【0058】ここで、固定サイズが64バイトよりも大である場合、例えば128バイトである場合には、有効なデータが存在しない上記の空白部分が大きくなる可能性が高い。しかしながら、本例のように、固定サイズを64バイトとすれば、固定長パケットを基本単位とするATMを処理する上で、上記の空白部分が小さくなり、効率が良い。すなわち、ATMセルは53バイトであるため、固定サイズを64バイトとすれば、空白部分は11バイトで済むので効率が良い。この固定サイズをATMセルと同一の53バイトとすれば、ATMを処理する上で最も効率が良い。

【0059】また、ATMよりもネットワーク階層構造の上で上位に位置するIPレイヤのパケットを、セルのサイズの上限(64バイト)に分割して共有メモリに格納するのではなく、例えば48バイト単位に分割して格納(48バイトはATMセルのペイロードのサイズ)することによって、ATMセルとIPパケットとの異なるパケットフォーマットの間で双方向に変換する機能を実装するのに便利である。

【0060】次に、リングネットワーク内の各ADMの内部構成例について図15を参照して説明する。同図に示されているように、ADM2-Nは、制御バス4との間の入出力を制御する制御用バスI/Oブロック21と、リングバス1からの入力されるパケットを一旦保持するレジスタ22と、リングバス1に出力すべきパケットを一旦保持するレジスタ23と、制御バス4及びリングバス1に対するパケットのスイッチング制御を行う制

御バス／リングバススイッチングブロック26と、このブロック26の出力及びレジスタ22の保持内容を入力としこれらのスイッチング制御を行うパケットプロセッシングブロック24と、パケットプロセッシングブロック24の2つの出力を択一的にレジスタ23に出力するセクタ25とを含んで構成されている。

【0061】なお、図中のポートインタフェース回路部29はポートに対するパケットの入出力を制御する回路である。このポートインタフェース回路部29と制御バス／リングバススイッチングブロック26との間には受信バッファ27及び送信バッファ28が設けられている。

【0062】かかる構成において、パケットの送信動作は以下に行われる。まず、自ポートからリングバス1に転送したいパケットが無い場合には、フリートークンがリングバス1の上流から送られてきても、これをリングバスの下流に渡す。一方、自ポートからリングバス1に転送したいパケットがある場合には、フリートークンがリングバスの上流から送られてきたら、これをドロップし、自ポートからリングバス1にパケットを送信する。

【0063】また、受信動作は以下に行われる。まず、自ADMのみを宛先とするパケットがリングバス1の上流から流れてきたら、これをドロップし、リングバス下流には転送しない。複数の宛先を持つパケットで、自ADMもその宛先に含まれていたら、これをドロップし、かつ、リングバス1の下流にも転送する。

【0064】次に、パケットストアメモリ部6の具体的な構成について図16を参照して説明する。同図において、パケットストアメモリ部6は、パケットポインタ構造体管理部18と、セルポインタ構造体管理部17と、共有パケットストアメモリ部7と、これら各部を制御する共通制御部60とを含んで構成されている。

【0065】パケットポインタ構造体管理部18は、パケットポインタ構造体及び空きポインタのキューを記憶するメモリ180と、このメモリ180に記憶されている空きポインタのキューの先頭を示すキュー先頭ポインタ(Head of Queue; HoQ)12と、その空きポインタのキューの末尾を示すキュー末尾ポインタ(End of Queue; EoQ)13と、メモリ180に格納すべきデータを与えるレジスタ181と、メモリ180から読出されたデータを格納するレジスタ182と、セクタ183～187とを含んで構成されている。

【0066】レジスタ181及び182は、次のセルポインタを指すNEXTフィールドと、パケットの先頭を指すHoP(Head of Packet)フィールドとを有している。

【0067】ポインタ12及び13は、レジスタによって実現されるものとする。ポインタ12の入力側にはセ

クタ183が設けられており、ポインタ12自身の出力とレジスタ182のNEXTフィールドの値とが択一的にポインタ12に入力される。ポインタ13の入力側にはセクタ184が設けられており、ポインタ13自身の出力とCPU50から送られてくるパケットポインタの値とが択一的にポインタ13に入力される。

【0068】セルポインタ構造体管理部17は、セルポインタ構造体及び空きポインタのキューを記憶するメモリ170と、このメモリ170に記憶されている空きポインタのキューの先頭を示すキュー先頭ポインタ(HoQ)9と、その空きポインタのキューの末尾を示すキュー末尾ポインタ(EoQ)10と、メモリ170に格納すべきデータを与えるレジスタ171と、メモリ170から読出されたデータを格納するレジスタ172と、パケットポインタ構造体管理部18から出力されるデータをアドレスとしてメモリ170に与えるためのレジスタ173と、セクタ174～178とを含んで構成されている。

【0069】レジスタ171及び173は、次のセルポインタを指すNEXTフィールドと、セルを指すセルポインタ(Cell)とを有している。

【0070】ポインタ9及び10は、レジスタによって実現されるものとする。ポインタ9の入力側にはセクタ176が設けられており、ポインタ9自身の出力とレジスタ172のNEXTフィールドの値とが択一的にポインタ9に入力される。ポインタ10の入力側にはセクタ175が設けられており、ポインタ10自身の出力とテンポラリレジスタ173の保持値とが択一的にポインタ10に入力される。

【0071】共有パケットストアメモリ部7は、セルを記憶するためのメモリ70と、このメモリ70に対するアクセスを制御する共有パケットストアメモリアクセス制御部71と、このメモリ70にアドレスを与えるレジスタ72とを含んで構成されている。

【0072】パケットポインタ構造体管理部18内のメモリ180、セルポインタ構造体管理部17内のメモリ170と、共有パケットストアメモリ部7内のメモリ70は夫々、データ入力端子iDATA、データ出力端子oDATA、アドレス入力端子iADDR及び書込み状態に制御するための書込み制御信号の入力端子iWRを有している。この各メモリを書込み状態又は読出し状態に制御するのが共通制御部60である。この共通制御部60は、上述した各部のセクタの選択動作の制御も行う。

【0073】以下、図17～図19をも参照し、共通制御部60による制御を中心に、パケットストアメモリ部6の動作について説明する。

【0074】まず、図17にはパケットを受信するための受入れ準備動作が示されている。同図を参照すると、パケットを受信するための受入れ準備動作は以下のよう

に行われる。最初に、キュー先頭ポインタ12が指しているメモリ180のエントリを読出す。次に、このポインタ12の値を新たなトークンに乗せる。最後に、読出したメモリ180のエントリのNEXTフィールドの値をキュー先頭ポインタ12に上書き（オーバーライト）する。

【0075】次に、図18にはパケットを受信しストアする動作が示されている。同図を参照すると、パケットを受信しストアする動作は、以下に行われる。

【0076】最初に、パケットポインタ構造体管理部18において、受信ポートよりパケットストアメモリ部6に転送されてきたトークンの中のパケットポインタが指すメモリ180のエントリのHoP（Head of Packet）フィールドにセルポインタ構造体管理部17のポインタ（HoQ）9の値を上書きする。

【0077】次に、セルポインタ構造体管理部17のポインタ9が指しているメモリ170のエントリを読出し、レジスタ172に保持する。この保持した値のうち、セルポインタ（Cell）の値を共有パケットストアメモリ部7に渡す。

【0078】すると、共有パケットストアメモリ部7は、受取ったセルポインタの値と共有パケットストアメモリアクセス制御部71から与えられる下位アドレス（LoAddr）の値とを結合（Concatenate）して書込みアドレスを発生し、1ワード書込む。受信した全てのパケットの書込みが完了していない場合は、現在書込み中のセルが満杯かどうか判断される。満杯でなければ、下位アドレスの値を1インクリメントした後、上述と同様にセルポインタの値と結合して書込みアドレスを発生し、1ワード書込む。このように、書込みアドレスを順次発生して1ワードずつの書込みが行われる。

【0079】全てのパケットの書込みが完了していない場合で、かつ、現在書込み中のセルが満杯であれば、セルポインタ構造体管理部17において、NEXTフィールドの値をポインタ9に上書きする。この後、再度セルポインタ構造体管理部17のポインタ9が指しているメモリ部170のエントリを読出し、レジスタ172に保持し、この保持した値のうちセルポインタの値を共有パケットストアメモリ部7に渡す。以下、同様の動作が繰返される。

【0080】共有パケットストアメモリ部7において受信した全てのパケットの書込みが完了した場合は、セルポインタ構造体管理部17において、今アクセスしているメモリ170のエントリのNEXTフィールドの値をポインタ9に退避し、かつ、“Null”をNEXTフィールドに上書きする。これにより、パケットを受信しストアする動作は完了となる。

【0081】さらに、図19にはストアされているパケットを取出し、共有パケットストアメモリ部7から抹消

する動作が示されている。同図を参照すると、ストアされているパケットを取出し、共有パケットストアメモリ部7から抹消する動作は、以下に行われる。

【0082】まず、パケットポインタ構造体管理部18において、CPU50から取出すべきパケットを指すポインタ値をレジスタ181に受取る。次に、このポインタ値が指しているメモリ180のエントリを読出し、レジスタ182に保持する。そして、このレジスタ182に保持したエントリの中のHoPフィールドの値を、セルポインタ構造体管理部17に渡す。

【0083】セルポインタ構造体管理部17では、パケットポインタ構造体管理部18から受取った値をテンポラリレジスタ（Reg）173にコピーする。このテンポラリレジスタ173が指しているメモリ170のエントリを読出し、ポインタ10が指しているメモリ170のエントリのNEXTフィールドに上書きする。さらに、ポインタ10にテンポラリレジスタ173の値を上書きする。そして、上記の読出したメモリ170のエントリのNEXTフィールドの値をレジスタ173に上書きし、そのエントリのセルポインタの値を共有パケットストアメモリ部7に渡す。

【0084】すると、共有パケットストアメモリ部7は、受取ったセルポインタの値と共有パケットストアメモリアクセス制御部71から与えられる下位アドレスの値とを結合して読出しアドレスを発生し、1ワード読出す。このセルに格納されているワードを全て読出し終えていない場合は、下位アドレスの値を1インクリメントした後、上述と同様にセルポインタの値と結合して読出しアドレスを発生し、1ワード読出す。このように、読出しアドレスを順次発生して1ワードずつの読出しが行われる。

【0085】全てのワードを読出し終えた場合には、セルポインタ構造体管理部17において、テンポラリレジスタ173に保持されている値が“Null”であるかどうか判断される。保持されている値が“Null”でない場合、テンポラリレジスタ173が指しているメモリ170のエントリを読出し、上述と同様の動作が繰返される。

【0086】保持されている値が“Null”である場合、パケットポインタ構造体管理部18において、CPU50から送られてきたパケットポインタをレジスタ181に書込む。これにより、ポインタ13が指しているメモリ180のエントリのNEXTフィールドに、そのパケットポインタを上書きする。さらに、ポインタ13に、CPU50から送られてきたパケットポインタを上書きする。これにより、ストアされているパケットを取出し、共有パケットストアメモリ部7から削除する動作は完了となる。

【0087】以上の各動作を実現するために、共通制御部60は、パケットポインタ構造体管理部18、セルポ

インタ構造体管理部17及び共有パケットストアメモリ部7の内部の各セクタ等の制御を行うのである。

【0088】ところで、図20及び図21には、以上説明したパケットスイッチシステムを単位スイッチエレメントとし、単位スイッチエレメントが持つインタフェースポートのうちいくつかを、単位スイッチエレメント間の接続リンクのために用いて、スイッチの規模及び性能を拡張する構成が示されている。

【0089】図20には、単位スイッチエレメントである4つのチップC1～C4を、拡張ポートインタフェース(Extention Port Interface)EPIFを介して接続した場合の構成が示されている。1つのチップに着目すると、そのチップの拡張ポートインタフェースEPIFの入力側と出力側とは異なるチップに接続されている。すなわち、チップC1に着目すると、拡張ポートインタフェースEPIFの入力側はチップC4に接続され、その出力側はチップC2に接続されている。他のチップC2～C4についても同様であり、このように接続すれば、4つのチップC1～C4を接続した状態でポート数を物理的に増やすことができるのである。なお、同図に示されているように、図中の各チップには先述した中央制御部5及びパケットストアメモリ部6が設けられているものとする。

【0090】また、図21に示されているように、隣合うチップの拡張ポートインタフェース(図21中のハッチング部分)同士を相互に接続しても良い。同図には9つのチップC1～C9しか示されていないが、同様に接続すれば図20の場合よりもポート数を増やすことができる。なお、同図に示されていないが、図中の各チップC1～C9には先述した中央制御部5及びパケットストアメモリ部6が設けられているものとする。

【0091】これらの図20及び図21において、入力ポートから入ったパケットが目的の出力ポートに到達するまでに通過する夫々のスイッチエレメントにおいて参照されるべきルーティングタグについては、以下の2つの付加方法がある。

【0092】すなわち、第1の方法は、そのパケットがこの系に到達した最初のスイッチにおいてすべての経路を決定し、経路上の最も後段のスイッチに与えるべきルーティングタグから順に前の段のスイッチに与えるべきルーティングタグをスタックメモリの要領(プッシュ)でパケットに付加するものである。そして、このパケットが各段のスイッチエレメントを転送されるごとに、そのスタックメモリエリアにあるルーティングタグをポップするのである。こうすることによって、夫々のスイッチは自段のためのルーティングタグを得ることができる。

【0093】次に、第2の方法は、パケットが各スイッチエレメント間を転送される都度、自スイッチエレメントにおける出力ポートのみを決定し1つだけルーティン

グタグをパケットに付加するものである。つまり、転送元からパケットを受取ったら、そのパケットの転送先を示すルーティングタグを付加するのである。

【0094】以上のように本システムを1チップに集積化すれば、比較的小規模で低性能なスイッチエレメントを用いて、大小任意の規模、高低任意の性能を有するスイッチを構成できるという特徴がある。この集積回路を用いれば、小型のルータを構成できるので、家庭に設ければ容易にSOHO(Small Office Home Office)を実現することができる。

【0095】次に、本システムの他の実施形態について説明する。

【0096】図1から図13を参照して先述した例においては、各ポート対応のADMが受信したパケットをリングバスに送出する際の送信権の管理にトークンを用いた方式を採用していた。この方法のほかに送信権(アクセス権)の管理方法として、アービトレーション専用のロジックによる制御を与える方法、又は中央制御部内で動作するソフトウェアの一部として実装される機能により制御する方法等がありうる。これらの制御を各ADMに伝達する手段としては、アービトレーション制御を伝達するための専用のバスを用いる方法、図1から図13中にも存在する制御バス4を他の目的と共用する方法等がある。

【0097】このアービトレーションを実現するための具体的なハードウェア構成例について図22を参照して説明する。同図に示されているように、各ポートP-1～P-Nのインタフェースから入力される送信中であることを示す信号を入力とするORゲート22aと、このORゲート22aの出力によってカウントアップインネブル状態となるバイナリカウンタ22bと、各ポートP-1～P-Nのインタフェースから入力される送出要求を入力とし、バイナリカウンタ22bの出力カウント値に応じて各ポートP-1～P-Nのインタフェースへの送出許可を出力する優先順位決定回路22cとを含んで構成されている。

【0098】かかる構成において、優先順位決定回路22cは、バイナリカウンタ22bから与えられるカウント値によってその時点における最優先ポート及び第2位以降最下位までの優先順位を決定する。これによって、複数のポートのインタフェースから同時に送出要求信号が出力された場合、どのポートに送信許可を与えるかが決定されることになる。

【0099】一方、各ポートからの送信中表示信号の論理和をとった信号がバイナリカウンタ22bのカウントアップインネブル信号として与えられているので、いずれかのポートが送信を許可されて送信を行っている最中はバイナリカウンタの値、すなわち最優先ポートの規定が保持され、1パケットの送信を終了すると、直前に第2位の送信権であったポートの送信権が、最優先順位に

変わることになる。つまり、パケットデータバスに対するアクセス権の優先順位が巡回するように調停されるのである。

【0100】なお、図22に示されているアービトレーション回路の構成は一例に過ぎず、種々の変形例が考えられる。

【0101】以上のアービトレーションを用いる場合は、先述したトークンを用いる場合に比較して、リングバスの帯域をより公平に分配できるという特徴がある。この特徴は特に、リングバスの最高許容帯域に対する実使用帯域の割合が高い場合に顕著となる。もっとも、リングバスの許容帯域が必要とされる帯域よりも十分に大きい場合には、先述したトークンを用いる場合でも十分な公平性を確保することができる。

【0102】なお、以上説明した中央制御部5及び各ADMの処理を実現するためのプログラムを記録した記録媒体を用意し、これを用いて図1の各部を制御すれば、上述と同様のパケットデータ送受信動作を行うことができることは明白である。この記録媒体には、同図中に示されていない半導体メモリ、磁気ディスク装置の他、種々の記録媒体を用いることができる。

【0103】また、同記録媒体に記録されているプログラムによってコンピュータを制御すれば、上述と同様にパケットデータ送受信動作を行うことができることは明白である。この記録媒体には、半導体メモリ、磁気ディスク装置の他、種々の記録媒体を用いることができる。

【0104】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0105】(1) 前記制御用バスは、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とが接続されたライン状のバスであることを特徴とする請求項1～11のいずれかに記載のパケットスイッチシステム。

【0106】(2) 前記制御用バスは、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とが接続されたライン状のバスであることを特徴とする請求項12～14のいずれかに記載の集積回路。

【0107】(3) 前記制御用バスは、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とが接続されたライン状のバスであることを特徴とする請求項15～23のいずれかに記載のパケットスイッチ制御方法。

【0108】(4) 前記制御用バスは、前記複数の挿抜モジュールとこれら挿抜モジュールを制御するための制御回路とが接続されたライン状のバスであることを特徴とする請求項24～32のいずれかに記載の記録媒体。

【0109】

【発明の効果】以上説明したように本発明は、制御用のバスとは別にパケットデータ専用のリング形状バスを設けることにより、制御系とデータ系とが互いに悪影響を

及ぼすことなくデータの帯域を十分に取ることができるという効果がある。一方通行でリング形状のパイプライン方式のバスを用いているので、一般的な3値論理バスやクロスポイント型のスイッチに比べ、バスの制御が簡単で、かつ、動作レートを容易に高速化できる等の効果もある。

【図面の簡単な説明】

【図1】本発明の実施の一形態によるパケットスイッチシステムの構成を示すブロック図である。

【図2】図1のパケットスイッチシステムの動作を示す図である。

【図3】図1のパケットスイッチシステムの動作を示す図である。

【図4】図1のパケットスイッチシステムの動作を示す図である。

【図5】図1のパケットスイッチシステムの動作を示す図である。

【図6】図1のパケットスイッチシステムの動作を示す図である。

【図7】図1のパケットスイッチシステムの動作を示す図である。

【図8】図1のパケットスイッチシステムの動作を示す図である。

【図9】図1のパケットスイッチシステムの動作を示す図である。

【図10】図1のパケットスイッチシステムの動作を示す図である。

【図11】図1のパケットスイッチシステムの動作を示す図である。

【図12】図1のパケットスイッチシステムの動作を示す図である。

【図13】図1のパケットスイッチシステムの動作を示す図である。

【図14】パケットと共有パケットストアメモリ部の最小記憶単位との関係を示す図である。

【図15】各ADMの内部構成例を示す図である。

【図16】パケットストアメモリ部の具体的構成例を示す図である。

【図17】図16のパケットストアメモリ部の動作を示す図である。

【図18】図16のパケットストアメモリ部の動作を示す図である。

【図19】図16のパケットストアメモリ部の動作を示す図である。

【図20】図1のパケットスイッチシステムを用いた集積回路の一構成例を示す図である。

【図21】図1のパケットスイッチシステムを用いた集積回路の他の構成例を示す図である。

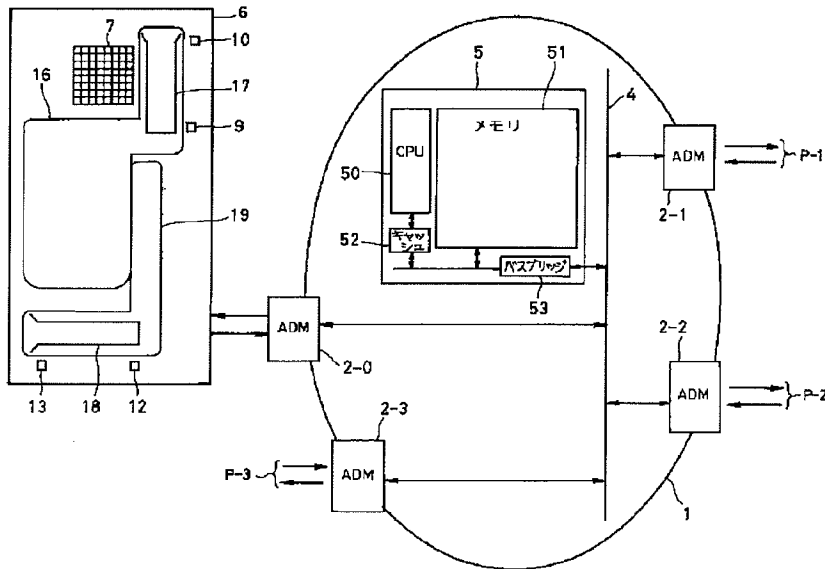
【図22】アービトレーションを実現するための具体的なハードウェア構成例を示す図である。

【符号の説明】

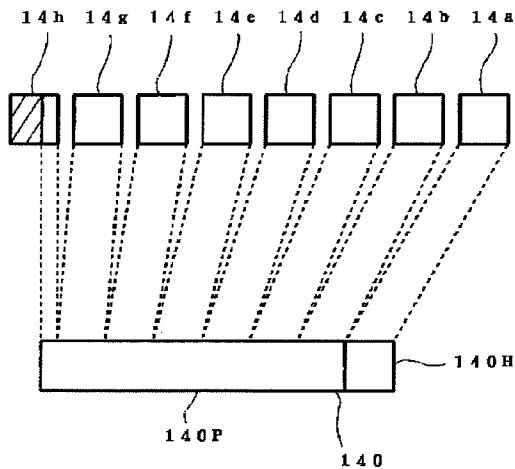
- 1 リングバス
 2-0～2-3 挿抜モジュール
 4 制御用バス
 5 中央制御部
 6 パケットストアメモリ部
 7 共有パケットストアメモリ部
 8 セルポインタ構造体
 8-1, 8-2 ポインタ
 9 空きセルキュー先頭ポインタ
 10 空きセルキュー末尾ポインタ
 11 パケットポインタ構造体

- 12 先頭ポインタ
 13 キュー末尾ポインタ
 14 論理パケットキュー
 15 パケットキューポインタ構造体
 16 論理パケット
 17 空きセルキュー
 18 空きパケットキュー
 19 論理領域
 161, 162 セルポインタ構造体群
 191, 192 パケットポインタ構造体
 P-1～P-3 ポート

【図1】



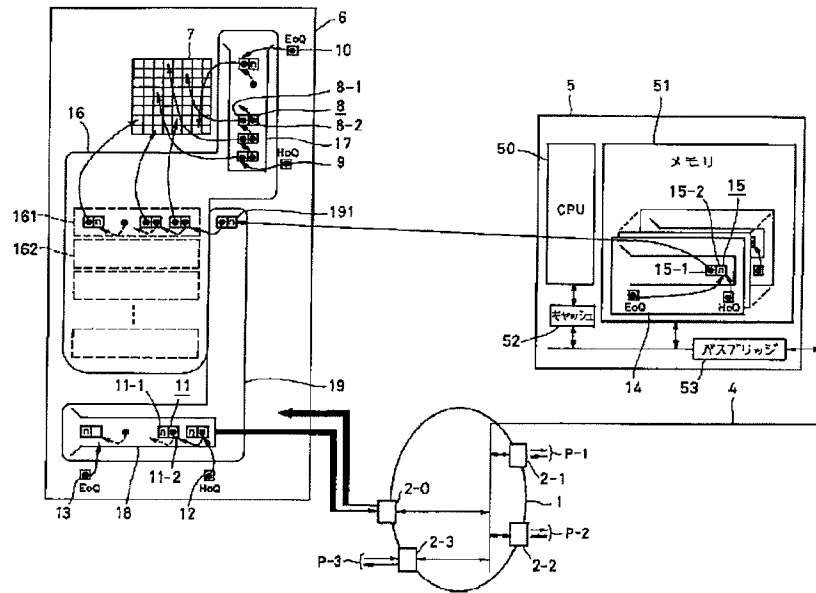
【図14】



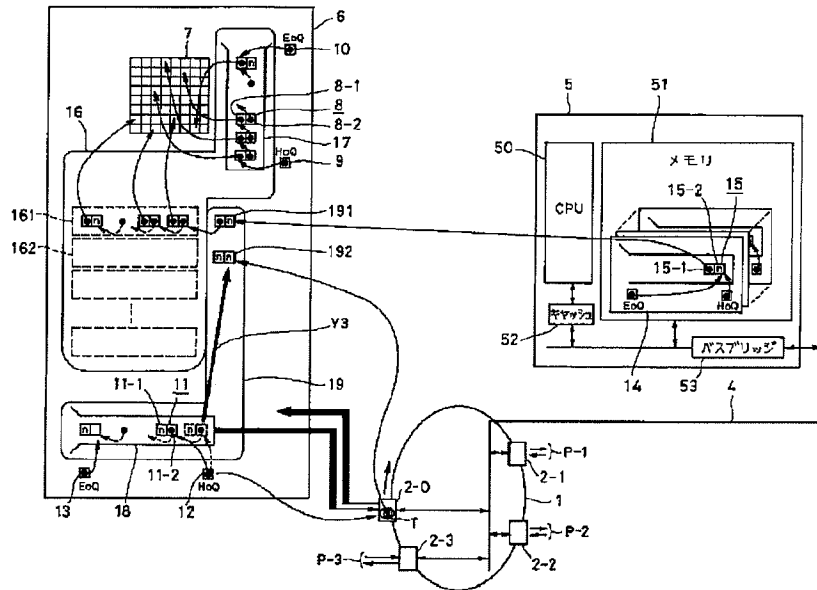
【図17】

パケットポインタ構造体管理部の動作	セルポインタ構造体管理部の動作	共有パケットストアメモリ部の動作
(1) ポインタ12が指しているメモリ180のエントリを送出す。 (2) ポインタ12の値を新たなトークンに置き換える。 (3) 送出したメモリ180のエントリのNEXTフィールドの値をポインタ12に上書きする。 (4) 完了		

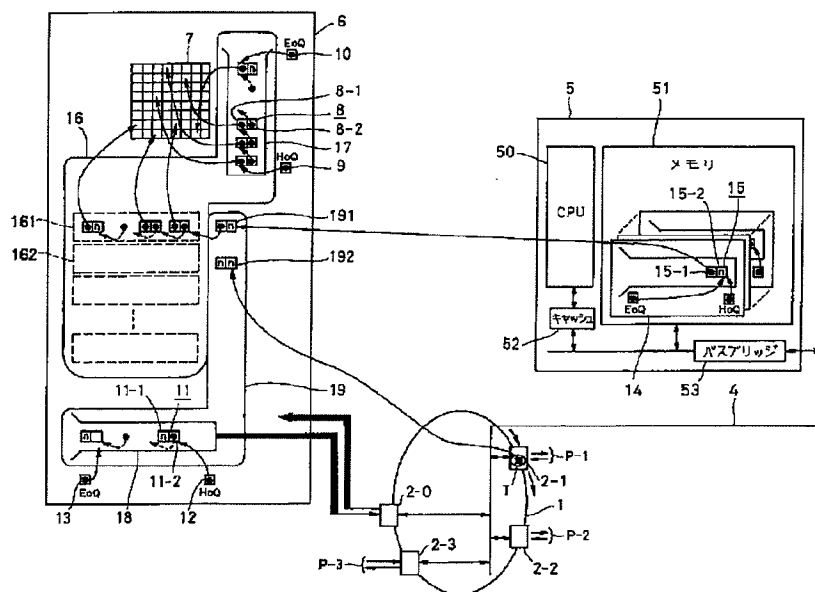
【図2】



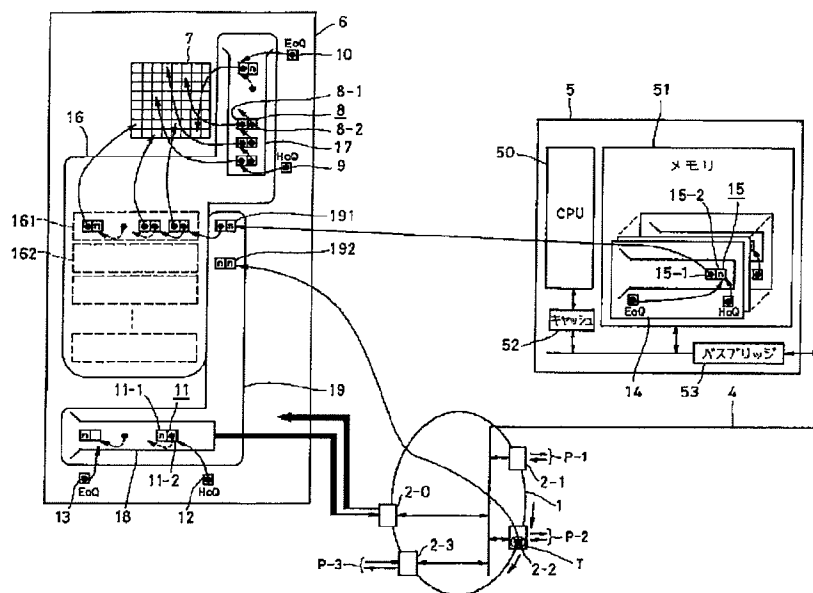
【図3】



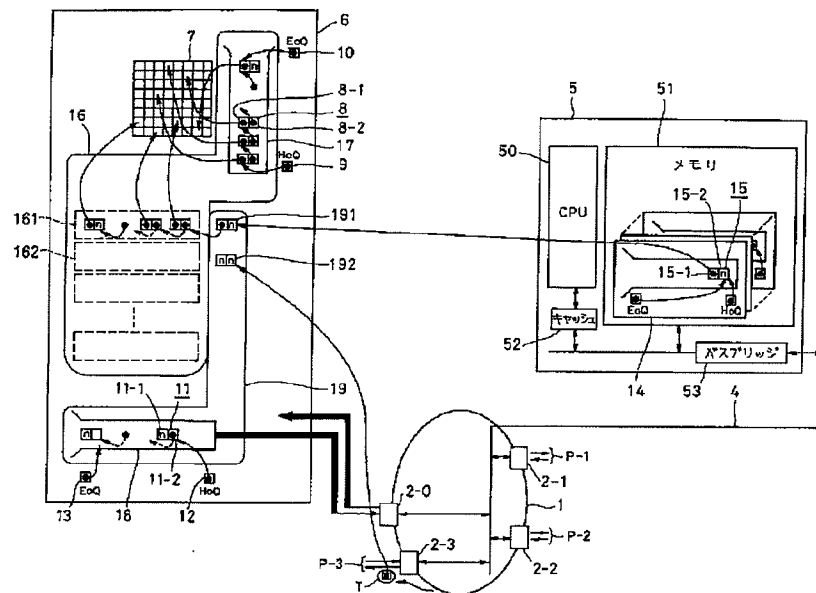
【図4】



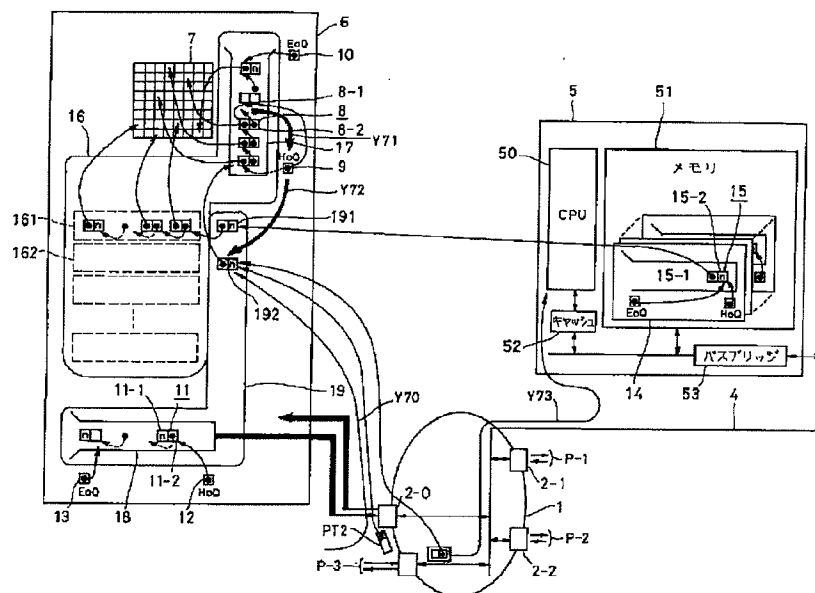
【図5】



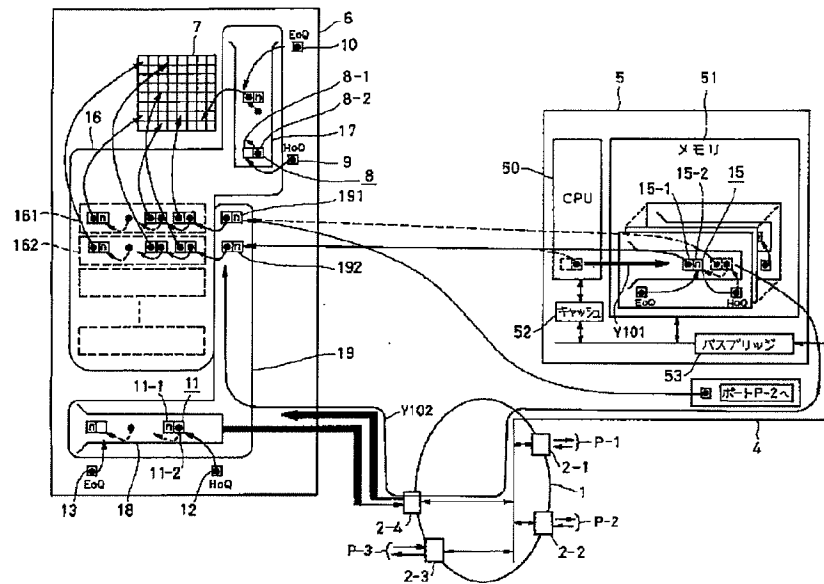
【図6】



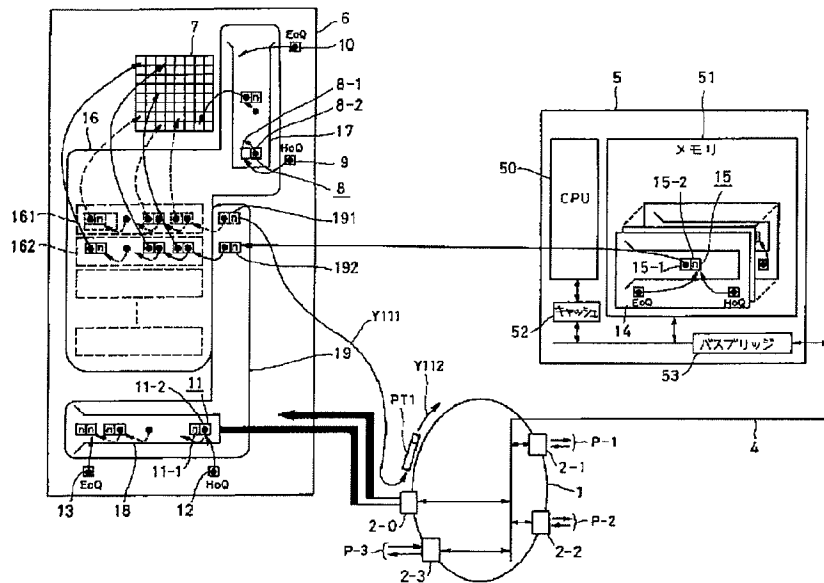
【図7】



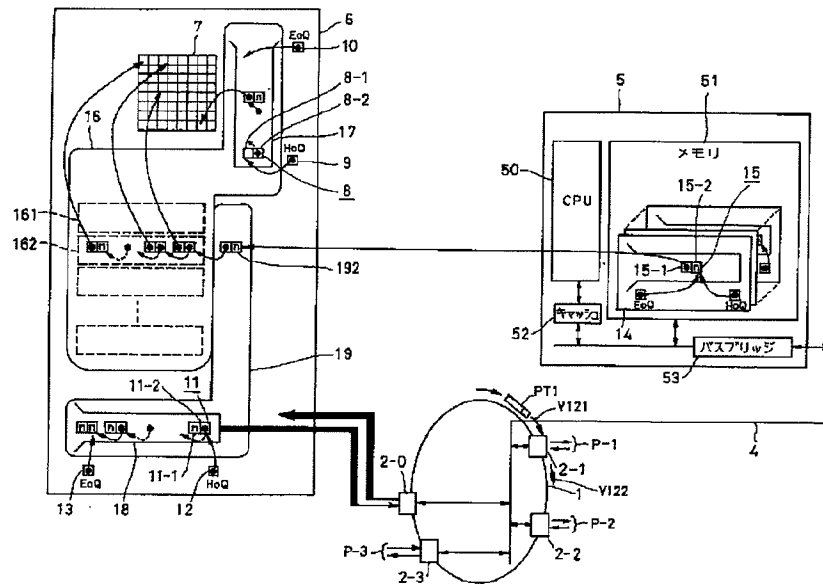
【図10】



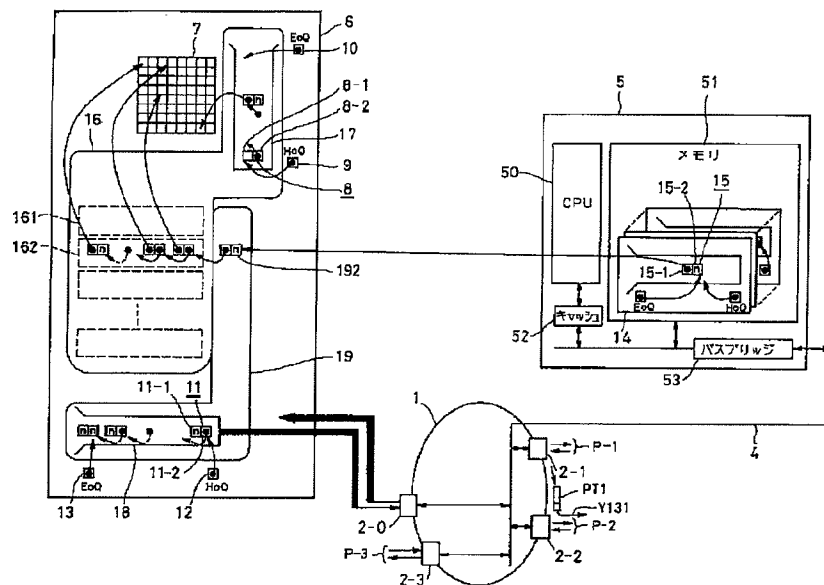
【図11】



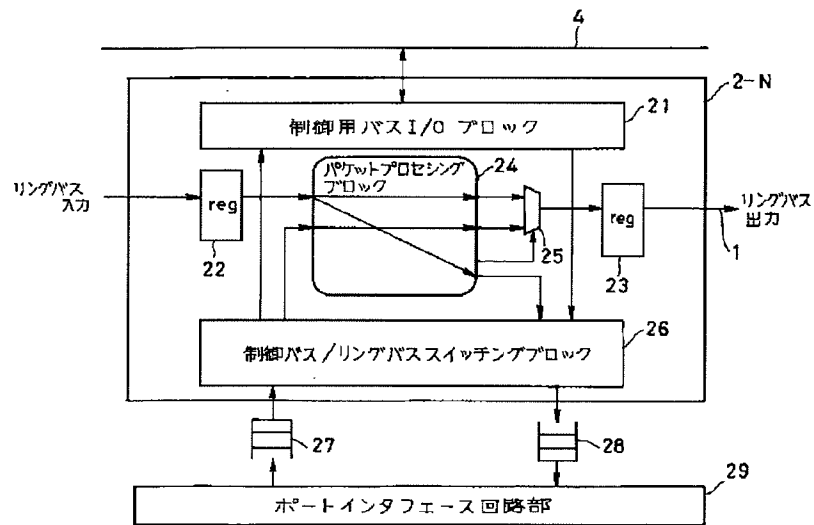
【図12】



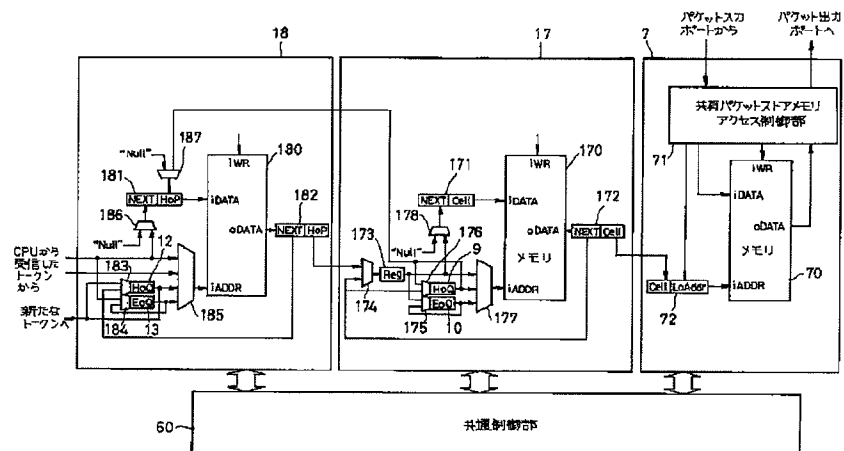
【図13】



【図15】



【図16】



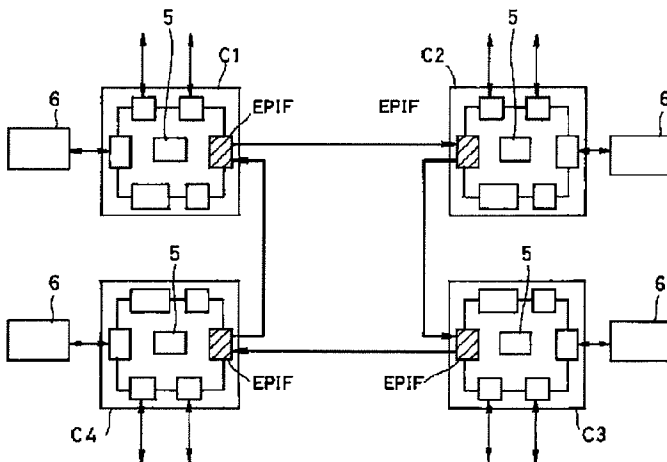
【図18】

パケットポイント 構造体管理部の動作	セルポイント 構造体管理部の動作	共有パケットストア メモリ部の動作
<p>(1) 受信ポートよりパケットストアメモリ部6に転送されてきたトータルのパケットポイントが指すメモリ180のエントリのHOPフィールドにセルポイント構造体管理部17のHOPポイント9の値を上書きする。</p>	<p>(1) HOPポイント9が指しているメモリ170のエントリを抽出し、Cellポイントの値を共有パケットストアメモリ部7に渡す。</p> <p>(2) NEXTの値をHOPポイント9に上書きし、上の(1)に戻る。</p> <p>(3) 今アクセスしているメモリエントリのNEXTの値をHOPポイント9に選定し、かつNEXTに"Null"を上書きする。</p> <p>(4) 完了</p>	<p>(1) Cellポイントの値と共有パケットストアメモリアクセス制御部71より来る下位アドレスを結合して書込みアドレスを発生し、1ワード書込む。</p> <p>(2) 1ワード書込んだパケットを全て書込み完了? Yes: セルポイント構造体管理部17の(3)へ No: 下の(3)へ</p> <p>(3) 1ワード現在書込み中のセルが満杯? Yes: セルポイント構造体管理部17の(2)へ No: 上の(1)へ(下位アドレスは1インクリメントされる)</p>

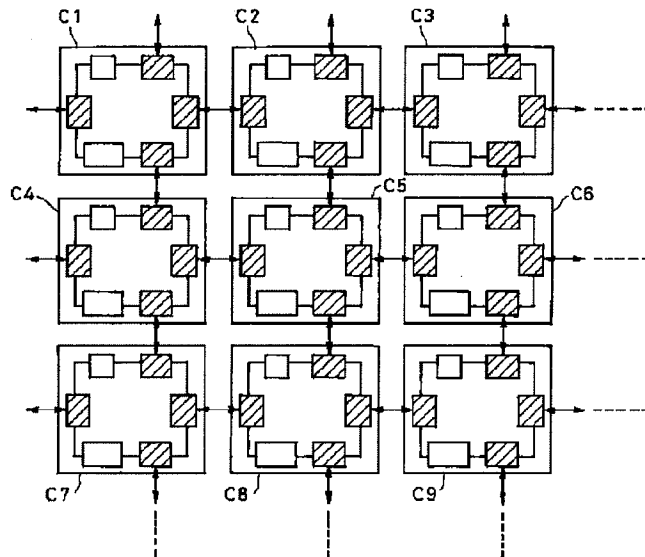
【図19】

パケットポイント 構造体管理部の動作	セルポイント 構造体管理部の動作	共有パケットストア メモリ部の動作
<p>(1) CPUより取出すべきパケットを指すポイントを受取る。</p> <p>(2) このポイントが指しているメモリ180のエントリを抽出し、抽出したエントリ中のHOPフィールドをセルポイント構造体管理部17に渡す。</p> <p>(3) HOPポイント13が指しているメモリ180のエントリのNEXTフィールドにCPUより来たパケットポイントを上書きする。</p> <p>(4) HOPポイント13にCPUより来たパケットポイントを上書きする。</p> <p>(5) 完了</p>	<p>(1) パケットポイント構造体管理部18より受取った値をテンポラリレジスタ173にコピーする。</p> <p>(2) レジスタ173が指しているメモリ170のエントリを抽出する。</p> <p>(3) HOPポイント10が指しているメモリ170のエントリ上のNEXTフィールドの値をレジスタ173に上書きする。</p> <p>(4) ポイント10にレジスタ173の値を上書きする。</p> <p>(5) 上の(2)で抽出したNEXTフィールドの値をレジスタ173に上書きする。</p> <p>(6) 上の(2)で抽出したCellポイントの値を共有パケットストアメモリ部7に渡す。</p> <p>(7) レジスタ173の内容は"Null"? Yes: パケットポイント構造体管理部の(3)へ No: 上の(2)へ</p>	<p>(1) セルポイント構造体管理部17から渡されたCellポイントの値と共有パケットストアメモリアクセス制御部71より来る下位アドレスを結合して抽出しアドレスを発生し、1ワード抽出する。</p> <p>(2) 1ワードこのセルに含まれているワードを全て抽出し続けた? Yes: セルポイント構造体管理部の(7)へ No: 上の(1)へ(下位アドレスは1インクリメントされる)</p>

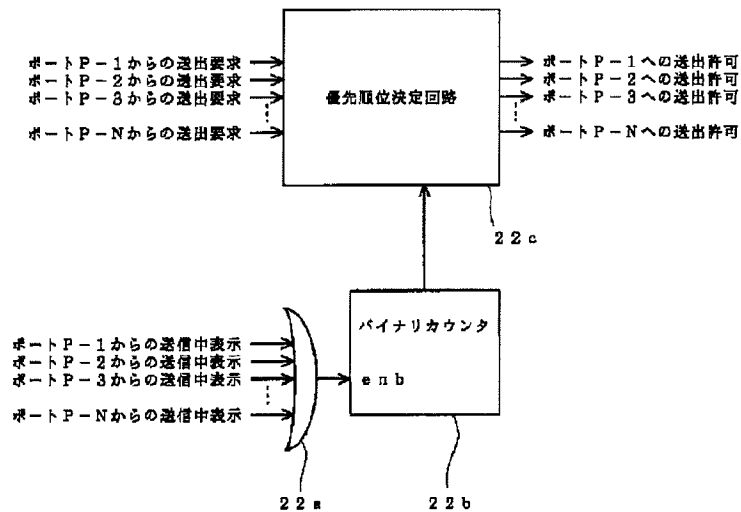
【図20】



【図21】



【図22】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F 1

ターム(参考)

H 0 4 L 11/20

1 0 2 Z

F ターム(参考) 5B045 BB11 BB12 BB14 BB15 BB32

KK08

5K030 GA03 HA08 HC14 HD07 KA05

KA06 KA11 LB12 LE03

5K031 AA01 AA04 CA05 CB03 DA06

DB03 DB10